

Attorney Docket No. 1614.1383

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Yoshiki OKUMURA

Application No.:

Group Art Unit:

Filed: February 9, 2004

Examiner:

For: STATE INDICATING INFORMATION SETTING CIRCUIT AND STATUS BIT SETTING
CIRCUIT

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-083473

Filed: March 25, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: February 9, 2004

By: _____

H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月25日
Date of Application:

出願番号 特願2003-083473
Application Number:

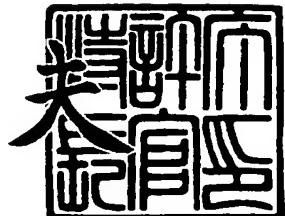
[ST. 10/C] : [JP 2003-083473]

出願人 富士通株式会社
Applicant(s):

2003年11月25日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 0253869
【提出日】 平成15年 3月25日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 H03K 19/0175
G11C 7/00
【発明の名称】 状態表示情報設定回路
【請求項の数】 5
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 株式会社富士通コンピュータテクノロジ内
【氏名】 奥村 嘉樹
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100070150
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階
【弁理士】
【氏名又は名称】 伊東 忠彦
【電話番号】 03-5424-2511
【手数料の表示】
【予納台帳番号】 002989
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 状態表示情報設定回路

【特許請求の範囲】

【請求項 1】

所定の第1の状態と第2の状態とのうちのいずれかを示す信号が入力され当該入力信号が示す状態を保持して出力する第1の状態保持手段と、

前記第1の状態保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第2の状態保持手段と、

所定の状態検出信号と前記第2の状態保持手段の出力とが入力され、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態を示す信号を前記第1の状態保持手段に対して出力し、互いに同じ場合には前記所定の第2の状態を示す信号を出力する第1の状態比較手段と、

前記第1の状態保持手段の出力と前記第2の状態保持手段の出力とを比較し、当該入力信号の夫々が示す状態が互いに同じ際に前記所定の第1の状態を示す信号を状態検出信号クリア信号として出力する第2の状態比較手段と、

前記第1の状態保持手段の出力と前記第2の状態保持手段の出力とを比較し、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態を示す信号を状態検出信号として出力し、同一の場合には前記第2の状態を示す状態非検出信号を出力する第3の状態比較手段とよりなる状態表示情報設定回路。

【請求項 2】

所定の第1の状態と第2の状態とのうちのいずれかを示す信号が入力され当該入力信号が示す状態を保持して出力する第1の状態保持手段と、

前記第1の状態保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第2の状態保持手段と、

前記第2の状態保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第3の状態保持手段と、

所定の状態検出信号と前記第2の状態保持手段の出力とが入力され、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態示す信号を前記第1の状態保持手段に対して出力し、互いに同じ場合には前記所定の第2の状態

を示す信号を出力する第1の状態比較手段と、

前記第1の状態保持手段の出力と前記第2の状態保持手段の出力とを比較し、当該入力信号の夫々が示す状態が互いに同じ際に前記所定の第1の状態を示す信号を状態検出信号クリア信号として出力する第2の状態比較手段と、

前記第1の状態保持手段の出力と前記第3の状態保持手段の出力とを比較し、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態を示す信号を状態検出信号として出力し、同一の場合には前記第2の状態を示す状態非検出信号を出力する第3の状態比較手段とよりなる状態表示情報設定回路。

【請求項3】

入力された信号の状態を保持して当該保持した状態を示す信号を出力する第1の状態保持手段と、

第1の状態保持手段の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第2の状態保持手段と、

所定の状態検出信号が入力された際に第2の状態保持手段が出力する信号が示す状態と異なる状態を示す信号を前記第1の状態保持手段へ出力する状態反転手段と、

第1の状態保持手段が出力する信号の示す状態と第2の状態保持手段が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号を出力し、同一の場合状態非検出信号を出力する状態検出信号出力手段と、

第1の状態保持手段が出力する信号の示す状態と第2の状態保持手段が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号クリア信号を出力する状態検出信号クリア手段とよりなる状態表示情報設定回路。

【請求項4】

入力された信号の状態を保持して当該保持した状態を示す信号を出力する第1の状態保持手段と、

第1の状態保持手段の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第2の状態保持手段と、

第2の状態保持手段の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第3の状態保持手段と、

所定の状態検出信号が入力された際に第2の状態保持手段が出力する信号が示す状態と異なる状態を示す信号を前記第1の状態保持手段へ出力する状態反転手段と、

第1の状態保持手段が出力する信号の示す状態と第3の状態保持手段が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号を出力し、同一の場合状態非検出信号を出力する状態検出信号出力手段と、

第1の状態保持手段が出力する信号の示す状態と第2の状態保持手段が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号クリア信号を出力する状態検出信号クリア手段とよりなる状態表示情報設定回路。

【請求項5】

レジスタ読出信号がLレベルの際に入力信号を取り込む第1のフリップフロップ回路と、

レジスタ読出信号がHレベルの際に第1のフリップフロップ回路の出力信号を取り込む第2のフリップフロップ回路と、

レジスタ読出信号がLレベルの際に第2のフリップフロップ回路の出力信号を取り込む第3のフリップフロップ回路と、

第2のフリップフロップ回路の出力と所定の状態検出信号との排他論理和演算を行なって演算結果を出力する第1の排他論理和回路と、

第1のフリップフロップ回路の出力と第2のフリップフロップ回路の出力との排他論理和演算を行なって演算結果を状態検出信号クリア信号として出力する第2の排他論理和回路と、

第1のフリップフロップ回路の出力と第3のフリップフロップ回路の出力との排他論理和演算を行なって演算結果を状態ビット信号として出力する第3の排他論理和回路とよりなる状態表示情報設定回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は状態表示情報設定回路に係り、特に所定の状態検出部にて所定の状態が検出された際にそれに応じて所定の状態表示情報設定後に当該状態検出部の検

出状態をリセットする構成を有する状態表示情報設定回路に関する。

【0002】

【従来の技術】

所謂UART（非同期受信機／送信機）等の周辺回路に設けられたCPUが読み出し可能なレジスタとして所謂リードレジスタ回路と称されるものがある。この具体的な例としては例えば周知の16450／16550型UARTのI/Oポートを提供するMSR（モデム・ステータス・レジスタ）のDCTS（デルタ・クリア・ツー・センド）ビットを供給する回路等が挙げられる。

【0003】

このようなリードレジスタ回路は、関連回路上で発生した所定の監視対象としてのステータスの発生がステータス検出部にて検出された際、この状態を取り込んで状態表示情報としての所謂DCTSビットを立て、その外部のCPUからの読み出しを可能にするものである。

【0004】

又、このリードレジスタ回路に関連し、CPUによって当該DCTSビットが一旦読み出された後に同じDCTSビットが再びCPUによって読み出された場合CPUによる誤認識となり、当該CPUを中心としたシステムにダメージを与える恐れがある。このような事態の発生を防止するため、上記リードレジスタ回路において一旦DCTSビットが立てられた際には再度同じステータス情報が当該リードレジスタ回路に取り込まれないように大元の上記ステータス検出部をクリアする必要がある。

【0005】

ところがこのステータス検出部のクリアのタイミングによっては本来リードレジスタ回路にて取り込まれるべきステータスが取り込まれる前にステータス検出部がクリアされる等の要因によって正しくリードレジスタ回路に取り込まれない可能性がある。そのような場合、結果的にDCTSビットも立てられないという事態が発生し得る。特に近年コンピュータの高速動作が要求されており、その結果上記問題点がより深刻化する傾向にある。

【0006】

ここで例えば上記D C T S ビットの一例としての前記M S R のD C T S ビットがその機能上満たすべき条件は以下の通りである。

【0007】

1) ステータス、即ちこの例の場合C T S (クリア・ツー・センド) ラインの変化を検出して“1”になる。

【0008】

2) 所定のレジスタ読出信号、即ちこの例ではM S R 読出信号にてステータスを取り込み後に“0”になる。

【0009】

3) レジスタ読出信号によるステータスの読み出し中にステータス信号が変化した場合、そのレジスタ読出信号では本ビット=1を読み出せなくとも、次のレジスタ読出信号時には本ビット=1を読み出せる。

【0010】

上記リードレジスタ回路のステータス検出状態をクリアする方式について開示している文献として例えば特許文献1がある。ここで開示されている方式の概念を適用して、例えばL S R (ラインステータスレジスタ)、上記M S R (モデムステータスレジスタ)等にて提供するインターフェース・ビットの如く、該当するレジスタの読出信号にてステータス読み出し後には当該ステータス検出状態をクリアする構成について考察する。この場合、上記同様当該ビットは以下の仕様を満たすものとする。

【0011】

1) 入力信号C T S の変化 (L→H, H→L) で本ビットは1になる(即ち「本ビットはセットされる」)。

【0012】

2) M S R 読出信号の供給時、本ビットが外部、即ちC P U等によって読み出され得る。

【0013】

3) M S R 読出信号供給時、本ビットについて外部から1が読み出せれば、読み出し後に本ビットは0とされる(即ち「本ビットはクリアされる」)。

【0014】

4) M S R 読出信号供給中に、入力信号C T Sが変化した時、その読み出しでは本ビット=1を読み出され得なくとも次の読み出しでは本ビット=1が読み出され得る。

【0015】

図1は上記特許文献1に示された概念を適用して構成したM S RのD C T Sビット設定回路を示し、図2は図1の回路の動作タイムチャートを示す。両図中のf f 1、f f 2は各々D—F F（D—フリップフロップ）を示す。同回路による動作は以下の通りである。

【0016】

図2にて（1）～（9）と記した部分は、入力信号C T Sが変化した後にM S R 読出信号にてD C T Sビット=1が読み出され、再度M S R 読出信号にてD C T Sビット=0が読み出される動作を示している。又同図の（10）～（17）と記した部分は、M S R 読出信号供給中に入力信号C T Sが変化した時、そのM S R 読出信号にてD C T Sビット=0が読み出され、次のM S R 読出信号にてD C T Sビット=1が読み出される動作を示している。以下にこれらの動作を具体的に段階を追って説明する。

【0017】

即ち、（1）にて入力信号C T Sが変化し、（2）にてワンショットパルス生成回路10が入力信号C T Sの変化を検出してワンショットパルスを発生する。

（3）にてC T S変化検出結果としてのワンショットパルスがf f 1のS入力端子に入力され、その結果f f 1=Hとなる。（4）にて、M S R 読出信号=Lとなり、（5）にてこれに応じてf f 2はf f 1=Hを取り込む。その結果M S R 読出信号=Lの間バスドライバB Sが開いてD C T Sビット=1 (=f f 2) がC P Uによって読み出され得る（図2（f）参照）。

【0018】

（6）にてM S R 読出信号のLレベルへの変化によってf f 1=Lとなる。（7）にてM S R 読出信号=Hとなり、次に（8）にてM S R 読出信号=Lとなると（9）にてM S R 読出信号のLレベルへの変化でf f 2はf f 1=Lを取り込

む。その結果、MSR読出信号=Lの間バスドライバBSが開いてDCTSビット=0 (= f f 2)が読み出され得る(図2(f)参照)。(10)にてMSR読出信号=Lとなると、これに応じて(11)にてf f 2はf f 1=Lを取り込む。その結果、ここでもMSR読出信号=Lの間、DCTSビット=0 (= f f 2)が読み出され得る(図2(f)参照)。

【0019】

次に(12)にて入力信号CTSが変化すると、(13)にてワンショットパルス生成回路10がこれを検出してワンショットパルスを発生する。(14)にてこれがf f 1のS端子に入力されて、f f 1=Hとなる。そして(15)にてMSR読出信号=Hとなり、(16)にてMSR読出信号=Lになる。これに応じて(17)にてf f 2はf f 1=Hを取り込む。その結果、MSR読出信号=Lの間、DCTSビット=1 (= f f 2)が読み出され得る。更に(18)にてMSR読出信号のLレベルへの変化で、f f 1=Lとなる。

【0020】

図3は特許文献2に開示された概念を適用して構成した他の例のMSRのDCTSビット設定回路の回路構成を示す。図4は図3の回路の動作タイムチャートを示す。両図中のf f 1, f f 2は各々SRラッチ回路素子を示し、f f 3はDラッチ回路素子を示す。同回路の動作は以下の通りである。

【0021】

図4中のステップ(1)～(15)は、入力信号であるCTSラインレベルが変化した後にMSR読出信号にてDCTSビット=1が読み出され、次回のMSR読出信号にてDCTSビット=0が読み出される動作である。又、図4中、ステップ(16)～(26)は、MSR読み出し信号供給中に入力信号CTSレベルが変化した際にそのMSR読み出し信号供給時についてはDCTSビット=0が読み出され、次回のMSR読み出し信号時にはDCTSビット=1が読み出される動作である。以下、各ステップを追って具体的に説明する。

【0022】

ステップ(1)で入力信号CTSが変化するとステップ(2)にてワンショットパルス生成回路10が入力信号CTSの変化を検出してCTS変化検出結果=

Hパルスを出力する。ステップ（3）にて当該信号が f f 2 の S 端子に入力され
て f f 2 = H となる。ステップ（4）にて M S R 読出信号の N O T 回路素子 2 0
による反転信号= L が f f 3 の G 端子に入力され f f 3 が開き、 f f 3 = f f 2
= H となる。

【0023】

ステップ（5）にて M S R 読出信号= L となり、その結果ステップ（6）にて
この N O T 素子 2 0 による反転信号= H が f f 3 の G 端子に入力され f f 3 が閉
じ、その結果 f f 3 は f f 2 = H を保持する。その結果、今回の M S R 読出信号
= L によってバスドライバ B D が開かれる間、 D C T S ビット= 1、即ち f f 3
の出力が読み出される（図 4（h）参照）。

【0024】

ステップ（7）にて M S R 読出信号= H が f f 1 の S 端子に入力され、 f f 3
の反転信号= L が f f 1 の R 端子に入力され、 f f 1 = H となる。その後ステッ
プ（8）にて M S R 読出信号= H となり、ステップ（9）にてその M S R 読出信
号の反転信号= L と、 f f 1 の反転信号= L とが O R 回路素子 3 0 に入力され、
その結果 O R 素子 3 0 の出力である D C T S ビットクリア信号= H となる。

【0025】

ステップ（10）にて上記 D C T S ビットクリア信号が f f 2 の R 端子に入力
されて、 f f 2 = L となる。ステップ（11）にて M S R 読出信号の反転信号= L
が f f 3 の G 端子に入力されて f f 3 が開き、その結果 f f 3 = f f 2 = L と
なる。ステップ（12）ではこの f f 3 の反転出力信号= H が f f 1 の R 端子に
入力されて、 f f 1 = L となる。そしてステップ（13）にて M S R 読出信号の
反転信号= L と f f 1 の反転信号= H とが O R 素子 3 0 に入力され、その出力で
ある D C T S ビットクリア信号= L となる。

【0026】

そしてステップ（14）にて M S R 読出信号= L となるとステップ（15）に
てこの M S R 読出信号の N O T 素子 2 0 による反転信号= H が f f 3 の G 端子に
入力されて f f 3 が閉じ、 f f 3 は f f 2 = L を保持する。その結果、今回の M
S R 読出信号= L で B D が開かれる間、 D C T S ビット= 0 (= f f 3) が読み

出される（図4（h）参照）。

【0027】

そしてステップ（16）にてMSR読出信号=Lとなるとステップ（17）にてMSR読出信号の反転信号=Hがf f 3のG端子に入力されてf f 3が閉じ、f f 3はf f 2=Lを保持する。その結果、今回のMSR読出信号=Lの間BDが開いて、DCTSビット=0（=f f 3）が読み出され得る（図4（h）参照）。

【0028】

そしてステップ（18）にて入力信号CTSレベルが変化すると、ステップ（19）にてワンショットパルス生成回路10がこの入力信号CTSの変化を検出してCTS変化検出結果としてHのパルスを発生する。ステップ（20）にてこのCTS変化検出結果のHパルスがf f 2のS端子に入力されて、f f 2=Hとなる。そしてステップ（21）にてMSR読出信号=Hとなり、ステップ（22）にてこのNOT素子20による反転信号=Lがf f 3のG端子に入力されてf f 3が開き、その結果f f 3はf f 2=Hを取り込む。

【0029】

そしてステップ（23）にて、MSR読出信号=Lとなり、その反転信号=Hがf f 3のG端子に入力されてf f 3が閉じ、f f 3は前記のf f 2=Hを保持する。その結果今回のMSR読出信号=LによるBD開の間、DCTSビット=1（=f f 3）が読み出され得る。

【0030】

そしてステップ（25）にて、上記MSR読出信号の反転信号=Hがf f 1のS端子に入力されると共にf f 3の反転出力信号=Lがf f 1のR端子に入力されるためf f 1=Hとなる。そしてステップ（26）にてMSR読出信号=Hとなるとステップ（27）にてこの反転信号=Lとf f 1の反転出力信号=LによってOR素子30の反転出力であるDCTSビットクリア信号=Hとなる。

【0031】

ステップ（28）にてそのDCTSビットクリア信号がf f 2のR端子に入力されて、f f 2=Lとなり、ステップ（29）にてMSR読出信号の反転信号=

Lがf f 3のG端子に入力されてf f 3が開き、f f 3はf f 2=Lを取り込む。そしてステップ（30）にてf f 3の反転出力信号=Hがf f 1のR端子に入力されて、f f 1=Lとなる。そしてステップ（31）にてMSR読出信号の反転信号=Lとf f 1の反転出力信号=HによってOR素子反転出力であるDCTSビットクリア信号=Lとなる。

【0032】

このように図1、2の例、図3、4の例共、CTSラインレベルの変化（立ち上がりエッジ）に応じ、その直後のMSR読出信号のLレベルに応じてDCTSビット“1”が読み出され、その直後のMSR読出信号のLレベルに応じてDCTSビットは“0”に戻される。同様にCTSラインレベルの変化（立ち下がりエッジ）に応じてその直後のMSR読出信号のLレベルに応じてDCTSビット“1”が読み出され、やはりその直後のMSR読出信号のLレベルに応じてDCTSビットは“0”に戻される。従って上記DCTSビットの要求仕様が満たされる。

【0033】

【特許文献1】

特開平10-41804号公報

【0034】

【特許文献2】

特開平2-44428号公報

【0035】

【特許文献3】

特開平10-240497号公報

【0036】

【特許文献4】

特開平7-56756号公報

【0037】

【発明が解決しようとする課題】

これらの構成は、FF（フリップフロップ）素子もしくはラッチ素子の非同期

セット入力端子にステータス検出信号を入力する構成を有する、所謂レベル検出型のリードクリア式D C T S ビット回路である。そのためステータス検出信号のアクティブ時間がレジスタの読出信号のアクティブ時間より長い場合、1回の検出信号に対して2回以上同一路由が読み出されてしまう可能性がある。このような現象が発生するとそれを読み出したC P Uが誤認動作を起こし、その結果当該C P Uを中心としたシステム全体にダメージを与える可能性がある。尚、上記ステータス検出信号のアクティブ時間がレジスタの読出信号のアクティブ時間より長い場合は、システムの動作速度、即ちクロック速度が速まることによってレジスタ読出信号の周期が縮まる際には十分生じ得る。以下にこの問題点の発生状況について具体的に説明する。

【0038】

図5は図1と共に説明したD C T S ビット設定回路においてワンショットパルス生成回路10が、M S R 読出信号のLレベルの間隔より長いパルスを出力するよう設計されている場合に関する動作タイムチャートを示す。この場合の具体的な動作は以下の通りである。

【0039】

先ずステップ（1）にて入力信号C T Sが変化するとステップ（2）にてワンショットパルス生成回路10がこの入力信号C T Sの変化を検出してC T S変化検出結果としてのHパルスを発生する。ステップ（3）にて、このC T S変化検出結果としてのHパルスがf f 1のS端子に入力されて、f f 1 = Hとなる。そしてステップ（4）にてM S R 読出信号=Lとなるとステップ（5）にてこのM S R 読出信号のLレベルへの変化によりf f 2はf f 1 = Hを取り込む。その結果、今回のM S R 読出信号=Lの間D C T S ビット=1 (= f f 2)が読み出され得る（図5（f）参照）。

【0040】

そして次にステップ（6）にてM S R 読出信号のLレベルへの変化により図2の場合f f 1 = Lになったが今のはC T S変化検出結果としてのHパルスがf f 1のS端子に入力されたままのためf f 1 = Hのまま保持される。この動作結果はM S R 読み出し後のD C T S ビットのクリアに失敗したことを意味する。

そして次のステップ（7）にてMSR読出信号=Hとなり、更にステップ（8）にて再びMSR読出信号=Lとなると、ステップ（9）にてこのMSR読出信号のLレベルへの変化により f_f2 は直前の $f_f1=H$ を保持する。その結果今回のMSR読出信号=Lの間再びDCTSビット=1（= f_f2 ）が読み出されてしまう。

【0041】

図6は、図3に示すDCTSビット設定回路においてワンショットパルス生成回路10がMSR読出信号のL持続間隔より長い間隔のパルスを出力するよう設計されている場合についての動作タイムチャートを示す。この場合の同回路の動作は以下の通りである。

【0042】

即ち、ステップ（1）にて入力信号CTSが変化するとステップ（2）にてワンショットパルス生成回路10がこの入力信号CTSの変化を検出してCTS変化検出結果としてのHパルスを発生する。ステップ（3）では、このCTS変化検出結果としてのHパルスが f_f2 のS端子に入力されて、 $f_f2=H$ となり、ステップ（4）にてMSR読出信号のNOT素子20による反転信号=Lが f_f3 のG端子に入力されて f_f3 が開き、 f_f3 は $f_f2=H$ を取り込む。

【0043】

そしてステップ（5）にてMSR読出信号=Lとなるとステップ（6）にてこのMSR読出信号のNOT素子20による反転信号=Hが f_f3 のG端子に入力されて f_f3 が閉じ、 f_f3 は上記 $f_f2=H$ を保持する。その結果今回のMSR読出信号=Lの間、DCTSビット=1（= f_f3 ）が読み出される。

【0044】

そしてステップ（7）にてMSR読出信号の反転信号=Hが f_f1 のS端子に入力され f_f3 の反転出力信号=Lが f_f1 のR端子に入力されることにより $f_f1=H$ となる。そしてステップ（8）にてMSR読出信号=Hとなると、ステップ（9）にてこのMSR読出信号の反転信号=Lと f_f1 の反転出力信号=LによりOR素子30の反転出力信号であるDCTSビットクリア信号=Hとなる。

【0045】

そしてステップ（10）にてこのD C T S ビットクリア信号が f f 2 の R 端子に入力されて、 f f 2 = L となり、ステップ（11）にて上記 M S R 読出信号の反転信号 = L が f f 3 の G 端子に入力されて f f 3 が開くために f f 3 は上記 f f 2 = L を取り込む。そしてステップ（12）ではこの f f 3 の反転出力信号 = H が f f 1 の R 端子に入力されて、 f f 1 = L となる。その結果ステップ（13）にて上記 M S R 読出信号の反転信号 = L と f f 1 の反転出力信号 = H により O R 素子 3 0 の反転出力である D C T S ビットクリア信号 = L となる。

【0046】

そしてこの場合ステップ（14）にて C T S 変化検出結果としての H パルスが未だ f f 2 の S 端子に入力されたままのため、 f f 2 = H が保持されたままとなる。即ち、この事実は M S R 読み出し後の D C T S ビットのクリアに失敗したこと意味する。

【0047】

そしてステップ（15）にて上記 M S R 読出信号の反転信号 = L が f f 3 の G 端子に入力されて f f 3 が開き、 f f 3 は再び上記 f f 2 = H を取り込む。その結果、次にステップ（16）にて M S R 読出信号 = L となると、この M S R 読出信号の反転信号 = H が f f 3 の G 端子に入力されて f f 3 が閉じ、 f f 3 は f f 2 = H を保持するため、今回の M S R 読出信号 = L の間、 D C T S ビット = 1 （= f f 3 ）が再び読み出されてしまう。

【0048】

本発明は上記課題に鑑みてなされたものであり、 L S I 等の半導体回路の動作速度が向上して回路動作の速度に比して検出信号のアクティブ時間間隔の短縮調整が困難な場合であっても確実にステータス検出状態をリセットして再度ステータスピットが読み出されることが無く且つステータスの読み出しが確実に行なわれ得る状態表示情報設定回路を提供することを目的とする。

【0049】**【課題を解決するための手段】**

本発明によれば所定の第 1 の状態と第 2 の状態とのうちのいずれかを示す信号

が入力され当該入力信号が示す状態を出力する第1の状態保持手段と、前記第1の信号保持手段の出力が入力され当該入力信号が示す状態を出力する第2の状態保持手段と、所定の状態検出信号と前記第2の状態保持手段の出力とが入力され、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態を示す信号を前記第1の状態保持手段に対して出力し、互いに同じ場合には前記所定の第2の状態を出力する第1の状態比較手段と、前記第1の状態保持手段の出力と前記第2の状態保持手段の出力を比較し、当該入力信号の夫々が示す状態が互いに同じ際に前記所定の第1の状態を示す信号を状態検出信号クリア信号として出力する第2の状態比較手段と、前記第1の状態保持手段の出力と前記第2の状態保持手段の出力を比較し、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態を示す信号を状態検出信号として出力し、同一の場合には前記第2の状態を示す状態非検出信号を出力する第3の状態比較手段となる構成とした。

【0050】

この構成によって第1の比較手段はステータス検出の度毎に第2の状態保持手段の出力状態と逆の状態を出力し、これを第1の状態保持手段が取り込んで自己の状態を反転し、これを受けた第2の状態保持手段が更に自己の状態を反転する。そしてその間、即ち第1の状態保持手段が反転後第2の状態保持手段の反転前の双方の状態の食い違いを第2の比較手段が検出してステータスリセット信号を生成する。又同様に第1の状態保持手段が反転後第2の状態保持手段の反転前の双方の状態の食い違いを第3の比較手段が検出して外部読み出し可能なステータスピットを設定する。

【0051】

このように本発明によればステータスの検出によって第1、第2の状態保持手段の状態を順次反転させてその間の第1の状態保持手段が反転後第2の状態保持手段の反転前の状態をもってステータス検出状態の設定を行なうと共にステータス検出状態のリセットを実現している。このように状態保持手段の反転動作をステータス検出状態の設定、リセットに適用することにより、L→Hの反転、H→Lの反転の双方を適用可能である。その結果ステータス検出入力に対して即座に

反応してステータス検出認識状態に移行可能である。その結果C P Uによる安定的読み出し可能期間を比較的長くすることが可能であり、同時にステータス検出状態を確認して早いタイミングでステータス検出状態リセットを掛けられる。従って再度同じステータスが読み取られるような状況を効果的に防止可能である。

【0052】

尚、更に第3の状態保持手段を適用して更に状態反転の遅延を生成し、第1の状態保持手段との間で状態の相違を検出してステータス検出状態の設定を行なうようにすることによってステータス検出状態の更なる安定的供給が可能となり、もってC P Uによるステータスピットの読み出しがより確実になされ得る構成を提供可能である。

【0053】

【発明の実施の形態】

以下図面と共に本発明の実施例について説明を行う。

【0054】

最初に本発明の思想に至る経緯について説明する。上述の問題点、即ち半導体回路の動作速度の向上に対してステータス検出信号のアクティブ時間間隔の短縮調整が困難な場合にステータス検出信号のアクティブ時間間隔の間に同じステータスが再度C P Uによって読み出される問題の解決策について検討する。

【0055】

このような問題点を解決するために例えば以下の2種の方法が考えられる。即ち、検出信号のアクティブ時間をレジスタの読出信号のアクティブ時間より短くする方法、並びに検出信号のレベル検出(F F 素子若しくはラッチ素子の非同期セット入力端子で受ける方法)を行なわず、代わりにF F 素子のクロック入力端子にて検出信号を印加してそのエッジを検出する方法である。

【0056】

このうち最初の方法を適用しようとすると、図1、図3の回路例においてはワンショットパルス生成回路10が出力するパルス幅を短くする必要がある。図7、図8はこのための構成例を説明するための図を示す。図7は図1、図3の回路においてワンショットパルス生成回路10が別途クロック信号を利用しない前提

で設計されている場合を示し、図8は図1、図3におけるワンショットパルス生成回路10が別途クロック信号を利用する前提で設計されている場合を示す。図7の構成を適用する場合同図中のディレイ素子による遅延時間を短くすることが必要となるが、これを高精度に実現することは技術的に困難である。又、図8の構成を適用する場合、同図中のサンプリングクロック信号の周波数を高くすることが必要となるが、そのためには別途高速のクロック信号を供給する必要があり、回路が複雑化する。

【0057】

次に、後者の方針、即ち検出信号のレベルを検出してステータスピットの設定を行なう論理に基づいた方法、具体的には上述の例ではFF素子若しくはラッチ素子の非同期セット入力端子にて検出信号を受けてステータスピットを設定する方法を適用せず、例えばFF素子のクロック入力端子に検出信号を供給する回路構成の適用等によって検出信号の立ち上がりエッジを検出してステータスピットの設定等を行なう論理に基づいた方法の場合について検討する。

【0058】

このエッジ検出の論理による方法の適用を考えた場合、上述の図1の回路構成例ではステータスピット設定状態をフィードバックした「ビットクリア信号」による「ビットクリア動作」を適用していないため、同方法の適用が困難である。他方図3の回路構成例の場合にはf f 2についてSRラッチ素子をD—FF素子に変更することで同方法を適用可能である。その場合の構成例を図9に示す。

【0059】

図9の回路構成例の場合OR素子30の反転出力よりなるビットクリア信号をf f 3のリセット端子に供給することにより、f f 3の「ステータス検出状態」が「ビットクリア信号」としてフィードバックされ、これによってf f 2がリセットされる。その結果たとえワンショットパルス生成回路10から出力されるパルスがHの状態であってもf f 2はリセットされる。従ってひとつのステータスが2度読み出されるという問題点は解決される。この回路例の場合、その後CTSレベルがLとなった後に再度Hとなった際にはf f 2のD入力端子にHが取り込まれてセットされるため、上記f f 2リセット後の次回のステータス検出も問題

無く実行される。

【0060】

しかしながら上記2種の方法の適用の場合、ASIC設計ルールやASIC毎の調整作業の回避による制限等の観点からの問題点が考えられる。即ち、殆どのASICメーカーは製品テストの容易性に基づく設計思想により、所謂ゲートディレイによってパルスを生成する如くの極めてアナログ的な回路設計手法は適用しない傾向にある。

【0061】

即ち、例えば図7に示す回路構成例の場合ゲートディレイでパルスを発生するためこれをASICに適用する場合には問題となる。又図3、図9の構成例における「DCTSビットクリア信号」は、そのアクティブ時間、即ちHレベルの時間間隔がゲートディレイによって構成されるため、上記同様の理由によってASICへの適用については問題を有する。又、ASICについてこのような回路設計が適用された場合、ASICの個々の種類毎に上記アクティブ時間の細かな調整が必要となり、製造工程が複雑化して製品単価の上昇に繋がってしまう。

【0062】

又、現在、VHDLやVerilog HDL等のハードウェア設計記述言語による回路設計が主流となっている。このような言語による設計手法を適用した場合、言語形式の設計情報から実際の回路形式に変換した際にその回路がどの程度のディレイを有するかについて予め考慮しながら設計することはなされ得る。しかしながら最初から意図的に回路設計にディレイそのものを適用する手法は通常採らない。従ってその意味からも図3、図9に示す如くの所謂ゲートディレイの適用を前提とした回路設計は好ましくない。

【0063】

そこで、高精度の調整が困難なディレイの適用や高速のクロック信号の適用を避け、更に又所謂ゲートディレイを想定した回路設計手法を適用することもなく、比較的簡易な構成で確実にMSRのDCTSビット等の所定の仕様を満たす状態表示情報設定回路を提供する回路構成の実現について更に検討を行なった結果、本発明の構成を得るに至った。

【0064】

図10は、本発明の一実施例によるリードクリア式ステータスビット回路100の構成を示す。同図に示す如く、本実施例によるリードクリア式ステータスビット回路100は、外部のステータス検出部200からのステータス検出信号Sdを受ける排他的論理和回路11と、当該排他的論理和回路11の出力を受けるDーフリップフロップ回路素子21と、このDーフリップフロップ回路素子21の出力を受けるDーフリップフロップ回路素子22と、更にこのDーフリップフロップ回路素子22の出力を受けるフリップフロップ回路素子23と、Dーフリップフロップ回路素子21の出力とDーフリップフロップ回路素子22の出力を受ける排他的論理和回路素子12と、Dーフリップフロップ回路素子21の出力とDーフリップフロップ回路素子23の出力を受ける排他的論理和回路素子13と、排他的論露和回路素子13の出力を受けてステータスビット信号Sbを出力するバスドライバ素子31とよりなる。

【0065】

そして上記排他的論理和回路素子11は外部からのステータス検出信号SdとDーフリップフロップ回路素子22の出力とを受けて両者の排他的論理和演算結果を出力する。Dーフリップフロップ回路素子21はこの出力をD端子で受け、外部から供給されるレジスタ読出信号Srの立ち下がりエッジにてこれを取り込み、その信号を出力する。Dーフリップフロップ回路素子22は更にこの出力をそのD端子で受け、上記レジスタ読出信号Srの立ち上がりエッジにてこれを取り込み、その信号を出力する。更にDーフリップフロップ回路素子23はこの出力をそのD端子で受け、上記レジスタ読出信号Srの立ち下がりエッジにてこれを取り込み、その信号を出力する。

【0066】

又、排他的論理和回路素子12は二つのDーフリップフロップ回路素子21, 22の夫々の出力を受けて両者の排他的論理輪演算結果を更に反転した信号をステータス検出部クリア信号Scとして外部のステータス検出部200に供給する。これを受けたステータス検出部200ではステータス検出部クリア信号ScのLレベルを受けて自己のステータス検出状態を解除して一旦発生したステータス

検出信号 S_d を解除する。即ち、H レベルを L レベルに戻す。

【0067】

又、排他的論理和回路素子 13 は二つの D-フリップフロップ回路素子 21, 23 の夫々の出力を受けて両者の排他的論理輪演算結果のレベルを有する信号をバスドライバ 31 に出力する。バスドライバ 31 はこれを受け上記レジスタ読出信号 S_r が L レベルの間これをステータスピット信号 S_b として出力する。尚、このバスドライバ 31 はレジスタ読出信号 S_r が H レベルの間はその出力端子がハイインピーダンス状態とされ、その信号レベルは「不定」状態となる。このバスドライバ 31 の出力端子が外部の C P U 等にてステータスピットとして読み出される。

【0068】

図 11、図 12 は当該回路による動作を示すタイミングチャートである。図 11 は、レジスタ読出信号 S_r が L レベルの間以外の間に所定のステータスが発生した場合の動作を表している。他方図 12 はレジスタ読出信号 S_r が L レベルの間に所定のステータスが発生した場合の動作を表している。

【0069】

夫々の動作を以下に詳細に説明する。図 11 中、初期の状態では各 D-フリップフロップ回路素子 21, 22, 23 は各々 L レベル出力を有する。そしてステップ (1) (図 11 中、左側、以下同様) にてステータス検出部 200 が所定のステータスを検出し、その結果ステータス検出信号 $S_d = H$ となる。その結果、排他的論理和回路素子 11 は、ステータス検出信号の H レベルと D-フリップフロップ回路素子 22 の L レベル出力とを受けて H レベル出力を行なう。そして、ステップ (2) にてレジスタ読出信号 $S_r = L$ となると、ステップ (3) にて、このレジスタ読出信号の L レベルへの変化で D-フリップフロップ回路素子 21 は上記排他的論理和回路素子 11 の H 出を取り込む。

【0070】

ステップ (4) にて、上記レジスタ読出信号 L レベルへの変化により、D-フリップフロップ回路素子 23 は上記 D-フリップフロップ回路素子 22 の L 出力を取り込む。その結果 D-フリップフロップ回路素子 23 は L 出力を行う。従つ

て排他的論理和回路素子13は2つのD-フリップフロップ回路素子21, 23の出力であるHレベルとLレベルによってHレベルを出力する。このHレベルがレジスタ読出信号S_rのLレベルの間にバスドライバ31を介して出力され、外部のCPU等によって“1”のステータスビットとして読み出される（図11（g）参照）。尚、当該リードクリア式ステータスビット回路100を上記MSRのDCTSビット設定用の回路として適用した場合、結果的にDCTSビットとして“1”が読み出されることとなる。

【0071】

そしてステップ（5）にて、二つのD-フリップフロップ回路素子21, 22のHレベル出力とLレベル出力により、排他的論理和回路素子12は排他的論理和演算結果としてのHレベルの反転値であるLレベルをステータス検出部クリア信号として出力する。ステップ（6）にてこれを受けた外部のステータス検出部200では、このステータス検出部クリア信号S_cとしてのLレベルに応じて一旦Hレベルとして発生したステータス検出信号をLレベルに戻す。

【0072】

ステップ（7）にてレジスタ読出信号がHレベルに戻り、ステップ（8）ではこれを受けてD-フリップフロップ回路素子22はD-フリップフロップ回路素子21の出力であるHレベルを取り込む。ステップ（9）にて、排他的論理和回路素子12が二つのD-フリップフロップ回路素子21, 22の両者のHレベルを受けて排他的論理和出力であるLレベルの反転値のHレベルを出力する。その結果ステータス検出部クリア信号はHレベル、即ち非アクティブに戻る。

【0073】

ステップ（10）にてレジスタ読出信号が再度Lレベルとなると、ステップ（11）でこれに応じてD-フリップフロップ回路素子21は排他的論理和回路素子11の出力を取り込む。この場合上記の如く既にステータス検出信号はLレベルに戻っており、他方D-フリップフロップ回路素子22はHレベルを出力しているため、その排他論理和演算値であるHレベルを取り込むことになる。そしてステップ（12）では上記レジスタ読出信号のLレベルへの変化にてD-フリップフロップ回路素子23は上記D-フリップフロップ回路素子22の出力である

H レベルを取り込んで H レベルを出力する。その結果、排他的論理和回路素子 1 3 はこの出力と D-フリップフロップ回路素子 2 1 の出力である H レベルとの排他的論理和演算値の L レベルを出力する。

【0074】

この出力はレジスタ読出信号が L の間にバスドライバ 3 1 を介してステータスビット “0” として読み出される（図 1 1 (g) 参照）。尚上記同様、当該リードクリア式ステータスビット回路 1 0 0 を上記 M S R の D C T S ビット設定用の回路として適用した場合には D C T S ビットとして “0” が読み出されることとなる。

【0075】

同様に同じ図 1 1 中の右側の部分、即ち上記左側のステップ (1 0) 以降では、各 D-フリップフロップ回路素子 2 1, 2 2, 2 3 は各々 H レベル出力を有する。そしてステップ (1) (図 1 1 中、右側、以下同様) にてステータス検出部 2 0 0 が所定のステータスを検出し、その結果ステータス検出信号 S d = H となる。その結果、排他的論理和回路素子 1 1 は、ステータス検出信号の H レベルと D-フリップフロップ回路素子 2 2 の H レベル出力とを受けて L レベル出力を行なう。そして、ステップ (2) にてレジスタ読出信号 S r = L となると、ステップ (3) にて、このレジスタ読出信号の L レベルへの変化で D-フリップフロップ回路素子 2 1 は上記排他的論理和回路素子 1 1 の L 出力を取り込む。

【0076】

ステップ (4) にて、上記レジスタ読出信号 L レベルへの変化により、D-フリップフロップ回路素子 2 3 は上記 D-フリップフロップ回路素子 2 2 の H 出力を取り込む。その結果 D-フリップフロップ回路素子 2 3 は H 出力を行う。従って排他的論理和回路素子 1 3 は 2 つの D-フリップフロップ回路素子 2 1, 2 3 の出力である L レベルと H レベルによって H レベルを出力する。この H レベルがレジスタ読出信号 S r の L レベルの間にバスドライバ 3 1 を介して出力され、外部の C P U 等によって “1” のステータスビットとして読み出される（図 1 1 (g) 参照）。上記同様、当該リードクリア式ステータスビット回路 1 0 0 を上記 M S R の D C T S ビット設定用の回路として適用した場合、結果的に D C T S ビ

ットとして“1”が読み出されることとなる。

【0077】

そしてステップ（5）にて、二つのDーフリップフロップ回路素子21，22のLレベル出力とHレベル出力とにより、排他的論理和回路素子12は排他的論理和演算結果としてのHレベルの反転値であるLレベルをステータス検出部クリア信号として出力する。ステップ（6）にてこれを受けた外部のステータス検出部200では、このステータス検出部クリア信号ScとしてのLレベルに応じて一旦Hレベルとして発生したステータス検出信号をLレベルに戻す。

【0078】

ステップ（7）にてレジスタ読出信号がHレベルに戻り、ステップ（8）ではこれを受けてDーフリップフロップ回路素子22はDーフリップフロップ回路素子21の出力であるLレベルを取り込む。ステップ（9）にて、排他的論理和回路素子12が二つのDーフリップフロップ回路素子21，22の両者のLレベルを受けて排他的論理和出力であるLレベルの反転値のHレベルを出力する。その結果ステータス検出部クリア信号はHレベル、即ち非アクティブに戻る。

【0079】

ステップ（10）にてレジスタ読出信号が再度Lレベルとなると、ステップ（11）でこれに応じてDーフリップフロップ回路素子21は排他的論理和回路素子11の出力を取り込む。この場合上記の如く既にステータス検出信号はLレベルに戻っており、他方Dーフリップフロップ回路素子22はLレベルを出力しているため、その排他論理和演算値であるLレベルを取り込むことになる。そしてステップ（12）では上記レジスタ読出信号のLレベルへの変化にてDーフリップフロップ回路素子23は上記Dーフリップフロップ回路素子22の出力であるLレベルを取り込んでLレベルを出力する。その結果、排他的論理和回路素子13はこの出力とDーフリップフロップ回路素子21の出力であるLレベルとの排他的論理和演算値のLレベルを出力する。

【0080】

この出力はレジスタ読出信号がLの間にバスドライバ31を介してステータスビット“0”として読み出される（図11（g）参照）。尚上記同様、当該リー

ドクリア式ステータスピット回路100を上記MSRのDCTSビット設定用の回路として適用した場合にはDCTSビットとして“0”が読み出されることとなる。

【0081】

このように本発明の一実施例によるリードクリア式ステータスピット回路100によればステータス検出信号Sdがアクティブとなった後にレジスタ読出信号Srがアクティブとなると即ステータスピットクリア信号がアクティブとされる。その結果ステータス検出信号Sdのアクティブ状態は解除される。そしてこれを受けてステータスピットは次のレジスタ読出信号のアクティブの間に“0”に戻されるため、CPUによって一つのステータスが再度読み出されることは無い。

【0082】

即ち本発明では図11に示す如く、Dーフリップフロップ回路素子21はステータス検出後反転し、その結果順次Dーフリップフロップ回路素子22, 23へと反転動作が伝播して行く(同図(b), (c), (d)参照)。そしてその後は再度ステータス検出が発生するまでその状態が維持される。

【0083】

本発明では上記反転状態が複数のDーフリップフロップ回路素子21, 22, 23へと順次伝播される間、これらDーフリップフロップ回路素子21, 23相互間の一時的な状態の相違をもってステータス検出認識状態として検出し、その結果ステータスピットを“1”に設定し、同時にステータス検出部クリア信号をアクティブとして出力する。

【0084】

更に上記反転状態の伝播後に生ずるDーフリップフロップ回路素子21, 22相互間の状態の一致をステータス検出認識確認状態として検出し、その結果ステータスピットを解除して“0”にする。

【0085】

このように本発明によれば確実にステータス検出結果は認識されてステータスピット“1”として反映されると同時にクリア信号がフィードバックされ、これ

によって即座にステータス検出信号のアクティブ状態が解除される。更にステータス検出結果認識処理後は即座にステータスピットが解除されて“0”となる動作結果が得られる。

【0086】

次に、図12と共に上記本発明の実施例によるリードクリア式ステータスピット回路100においてレジスタ読出信号S_rがLレベルの間にステータス検出信号S_dがアクティブ状態、即ちHレベルとなった場合の動作について説明する。この場合、同図のステップ(1)にてレジスタ読出信号=Lとなるとステップ(2)にて当該レジスタ読出信号のLレベルへの変化によりD-フリップフロップ回路素子21は排他的論理和回路素子11の出力を取り込む。

【0087】

この場合ステータス検出信号はLレベルであってD-フリップフロップ回路素子22の出力もLレベルなため排他的論理和回路素子11の出力はLレベルであり、その結果D-フリップフロップ回路素子21の出力もLレベルを維持する。

【0088】

他方ステップ(3)では上記レジスタ読出信号のLレベルへの変化によりD-フリップフロップ回路素子23はD-フリップフロップ回路素子22のLレベル出を取り込む。その結果、この時点ではD-フリップフロップ回路素子21, 23の双方の出力ともLレベルを維持しているため排他的論理和回路素子13の出力もLレベルを維持する。そのためレジスタ読出信号がLレベルの間にバスドライバ31を介して出力されるステータスピット信号はLレベルであり、その結果ステータスピット(即ちDCTSビット)として“0”が読み出される(図12(g)参照)。

【0089】

そしてステップ(4)にてレジスタ読出信号がLレベルの間にステータス検出部が所定のステータスを検出してステータス検出信号をHレベルとすると、その後ステップ(5)にて再度レジスタ読出信号がLレベルとなった時点で、ステップ(6)にてこのレジスタ読出信号のLレベルへの変化によりD-フリップフロップ回路素子21は排他的論理和回路素子11の出力を取り込む。

【0090】

この場合ステータス検出信号 S_d は上記の如く H レベルであって D-フリップ フロップ回路素子 2_2 の出力は L レベルであるため排他的論理和回路素子 1_1 の出力は H レベルとなり、これを取り込んで D-フリップ フロップ回路素子 2_1 も H レベルを保持する。

【0091】

ステップ（7）では上記レジスタ読出信号の L レベルへの変化で D-フリップ フロップ回路素子 2_3 は D-フリップ フロップ回路素子 2_2 の L レベル出力を取り込み、その結果排他的論理和回路素子 1_3 は H レベルを出力し、これがバスドライバ 3_1 を介してステータスピット信号 S_b として出力され、ステータスピット “1”（即ち D C T S ビット）“1”が読み出される。

【0092】

又、ステップ（7）では D-フリップ フロップ回路素子 2_1, 2_2 の H レベルと L レベルとの出力により排他的論理和回路素子 1_2 はこれらの排他的論理和演算結果 H レベルの反転値 L レベルをステータス検出部クリア信号として出力する。その結果図 1_2 (a) のステータス検出信号 S_d のアクティブ状態が解除されて L レベルとされる。

【0093】

ステップ（9）にてレジスタ読出信号が H レベルに戻るとステップ（10）にてこれに応じて D-フリップ フロップ回路素子 2_2 は D-フリップ フロップ回路素子 2_1 の H レベルを取り込む。そしてステップ（11）では D-フリップ フロップ回路素子 2_1, 2_2 の両 L 出力によって排他的論理和回路素子 1_2 の反転出力は H に戻され、ステータス検出部クリア信号のアクティブ状態が解除される。

【0094】

そしてステップ（12）にて次のレジスタ読出信号=L となり、ステップ（13）にてこのレジスタ読出信号の L レベルへの変化で D-フリップ フロップ回路素子 2_1 は排他的論理和回路素子 1_1 の出力を取り込む。ここではステータス検出信号 S_d は L レベルであって D-フリップ フロップ回路素子 2_2 の出力は H レベルのため排他的論理和回路素子 1_1 の出力は H レベルであり、D-フリップ フ

ロップ回路素子21はこれを取り込む。

【0095】

ステップ(14)では次のレジスタ読出信号のLレベルへの変化でDーフリップフロップ回路素子23はDーフリップフロップ回路素子22のH出力を取り込む。その結果Dーフリップフロップ回路素子21, 23の両出力ともHレベルなため排他的論理和回路素子13はLレベルを出力し、その結果ステータスビット(即ちDCTSビット)として“0”が読み取られる。

【0096】

このように本発明の実施例によれば、レジスタ読出信号SrがLレベルの間即ちアクティブの間に、ステータス検出信号Sdがアクティブとなった場合、即ちHレベルとなった場合であっても次にレジスタ読出信号Srがアクティブとなった時点できこれを認識してステータスビットを“1”に設定し、その後にステータス検出部スクリア信号Scをアクティブにしてステータス検出状態を解除することによってステータス検出信号Sdのアクティブ状態を解除する。

【0097】

その結果、この場合であってもステータス検出の読み出し漏れが無く且つステータス検出の複数回の読み出しも無い。よって上記所定のステータスビットの要求仕様を満足する。

【0098】

図13は図10のリードクリア式ステータスビット回路を上記UARTにおけるMSRのDCTSビット設定回路に適用した場合の回路構成を示す。この場合、図11におけるステータス検出部はCTS変化検出部200とされ、当該CTS変化検出部200は2つのDーフリップフロップ回路素子41, 42とOR回路素子51とを含む。そして図14(a)に示される如くのCTSラインのレベルの変化に応じて同図(b)に示す如くCTS変化検出信号Sdを適宜アクティブ状態にする。

【0099】

即ち、図14中、ステップ(1)(左側)にてCTSラインレベルがHレベルに変化すると図13中のDーフリップフロップ回路素子41がD端子にてHレベル

を取り込み、その結果OR素子51の出力はHレベルとなるため図14のステップ(2)(左側)にてCTS変化検出信号SdはHレベルとなる。そしてステップ(6)(左側)におけるCTS検出部クリア信号Scがアクティブ、即ちLレベルとされることに応じてDーフリップフロップ回路素子41、42がリセットされてOR素子51の出力がLレベルに戻される。その結果ステップ(8)(左側)にてCTS変化検出信号SdはLレベルに戻される。

【0100】

同様に図14のステップ(1)(右側)にてCTSラインレベルがLレベルに変化すると図13中のDーフリップフロップ回路素子42がD端子に印加されているHレベルを取り込み、その結果OR素子51の出力はHレベルとなるため図14のステップ(2)(右側)にてCTS変化検出信号SdはHレベルとなる。そしてステップ(6)(右側)におけるCTS検出部クリア信号Scがアクティブ、即ちLレベルとされることに応じてDーフリップフロップ回路素子41、42がリセットされてOR素子51の出力がLレベルに戻される。その結果ステップ(8)(右側)にてCTS変化検出信号SdはLレベルに戻される。

【0101】

上記以外のCTS変化検出信号Sdの変化に応じた回路100内の図14、図15に示す動作については既に図11、図12にて説明した図10の回路による動作と同様なため、重複した説明を省略する。尚、この場合、上記ステータス検出信号SdはCTS変化検出信号Sdと、レジスタ読出信号SrはMSR読出信号Srと、ステータス検出部クリア信号ScはCTS変化検出部クリア信号Scと、ステータスピット信号SbはDCTSビット信号Sdとに夫々読み替えるものとする。

【0102】

又、図14はMSR読出信号Srがアクティブ期間中以外のタイミングにてCTS変化(ステータス)が発生した場合の動作を表しており、図15はMSR読出信号がアクティブ期間中にCTS変化(ステータス)が発生した場合の動作を表している。

【0103】

このように本発明の実施例によれば回路動作のためのクロック信号が不要のため、省電力機能等によってクロック信号の発生が停止されたり、クロック信号の周波数が下げられたりする如く環境でも常に正常な動作が確保できる。又ステータス検出部クリア信号を設けたため、ステータス検出部のステータス検出方法がCTS信号のエッジの検出による方法であっても同信号のレベルの検出による方法であっても同様に適用可能である。

【0104】

更に所謂ゲートディレイを使わずに構成された回路構成であるため、ASIC等、様々なLSIのテクノロジの種類を問わず広く適用可能である。

【0105】

本発明は以下の付記に記載の構成を含む。

【0106】

(付記1)

所定の第1の状態(H)と第2の状態(L)とのうちのいずれかを示す信号が入力され当該入力信号が示す状態を保持して出力する第1の状態保持手段(21)と、

前記第1の信号保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第2の状態保持手段(22、23)と、

所定の状態検出信号と前記第2の状態保持手段(22、23)の出力とが入力され、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態(H)を示す信号を前記第1の状態保持手段(21)に対して出力し、互いに同じ場合には前記所定の第2の状態(L)を示す信号出力する第1の状態比較手段(11)と、

前記第1の状態保持手段(21)の出力と前記第2の状態保持手段(22、23)の出力とを比較し、当該入力信号の夫々が示す状態が互いに同じ際に前記所定の第1の状態(H)を示す信号を状態検出信号クリア信号として出力する第2の状態比較手段(12)と、

前記第1の状態保持手段(21)の出力と前記第2の状態保持手段(22、23)の出力とを比較し、当該入力信号の夫々が示す状態が互いに異なる際に前記

所定の第1の状態（H）を示す信号を状態検出信号として出力し、同一の場合には前記第2の状態（L）を示す状態非検出信号を出力する第3の状態比較手段（13）とよりなる状態表示情報設定回路。

【0107】

（付記2）

所定の第1の状態（H）と第2の状態（L）とのうちのいずれかを示す信号が入力され当該入力信号が示す状態を保持して出力する第1の状態保持手段（21）と、

前記第1の信号保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第2の状態保持手段（22）と、

前記第2の信号保持手段の出力が入力され当該入力信号が示す状態を保持して出力する第3の状態保持手段（23）と、

所定の状態検出信号と前記第2の状態保持手段（22）の出力とが入力され、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態（H）を示す信号を前記第1の状態保持手段（21）に対して出力し、互いに同じ場合には前記所定の第2の状態（L）を示す信号を出力する第1の状態比較手段（21）と、

前記第1の状態保持手段（21）の出力と前記第2の状態保持手段（21）の出力とを比較し、当該入力信号の夫々が示す状態が互いに同じ際に前記所定の第1の状態（H）を示す信号を状態検出信号クリア信号として出力する第2の状態比較手段（12）と、

前記第1の状態保持手段（21）の出力と前記第3の状態保持手段の出力（23）とを比較し、当該入力信号の夫々が示す状態が互いに異なる際に前記所定の第1の状態（H）を示す信号を状態検出信号として出力し、同一の場合には前記第2の状態（L）を示す状態非検出信号を出力する第3の状態比較手段（13）とよりなる状態表示情報設定回路。

【0108】

（付記3）

入力された信号の状態を保持して当該保持した状態を示す信号を出力する第1

の状態保持手段（21）と、

第1の状態保持手段（21）の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第2の状態保持手段（22、23）と、

所定の状態検出信号が入力された際に第2の状態保持手段が出力する信号が示す状態と異なる状態を示す信号を前記第1の状態保持手段へ出力する状態反転手段（11）と、

第1の状態保持手段（21）が出力する信号の示す状態と第2の状態保持手段（22、23）が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号を出力し、同一の場合状態非検出信号を出力する状態検出信号出力手段（13）と、

第1の状態保持手段（21）が出力する信号の示す状態と第2の状態保持手段（22、23）が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号クリア信号を出力する状態検出信号クリア手段（12）とよりなる状態表示情報設定回路。

【0109】

（付記4）

入力された信号の状態を保持して当該保持した状態を示す信号を出力する第1の状態保持手段（21）と、

第1の状態保持手段の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第2の状態保持手段（22）と、

第2の状態保持手段（21）の出力信号が示す状態を保持して当該保持した状態を示す信号を出力する第3の状態保持手段（23）と、

所定の状態検出信号が入力された際に第2の状態保持手段が出力する信号が示す状態と異なる状態を示す信号を前記第1の状態保持手段へ出力する状態反転手段（11）と、

第1の状態保持手段が出力する信号の示す状態と第3の状態保持手段が出力する信号の示す状態とを比較し、双方が互い異なる際に状態検出信号を出力し、同一の場合状態非検出信号を出力する状態検出信号出力手段（13）と、

第1の状態保持手段が出力する信号の示す状態と第2の状態保持手段が出力す

る信号の示す状態とを比較し、双方が互い異なる際に状態検出信号クリア信号を出力する状態検出信号クリア手段（12）によりなる状態表示情報設定回路。

【0110】

（付記5）

レジスタ読出信号がLレベルの際に入力信号を取り込む第1のフリップフロップ回路と、

レジスタ読出信号がHレベルの際に第1のフリップフロップ回路の出力信号を取り込む第2のフリップフロップ回路と、

レジスタ読出信号がLレベルの際に第2のフリップフロップ回路の出力信号を取り込む第3のフリップフロップ回路と、

第2のフリップフロップ回路の出力と所定の状態検出信号との排他論理和演算を行なって演算結果を出力する第1の繁多論理和回路と、

第1のフリップフロップ回路の出力と第2のフリップフロップ回路の出力との排他論理和演算を行なって演算結果を状態検出信号クリア信号として出力する第2の排他論理和回路と、

第1のフリップフロップ回路の出力と第3のフリップフロップ回路の出力との排他論理和演算を行なって演算結果を状態ビット信号として出力する第3の排他論理和回路によりなる状態表示情報設定回路。

【0111】

（付記6）

所定のステータスの検出毎に反転する出力を発生する反転出力部（11）と、その出力によってその状態が順次反転する状態反転遷移部（21，22，23）と、その反転遷移の伝搬の過程を検出して所定のステータスピットの設定を行なうステータスピット設定部（13）によりなるステータスピット設定回路。

【0112】

（付記7）

更に前記状態反転遷移部の反転遷移の伝搬の過程を検出してステータス検出状態を解除する信号を発生するステータス検出解除部（12）によりなる付記6に記載のステータスピット設定回路。

【0113】

(付記8)

更に上記ステータスピット設定部は上記反転遷移の伝播の完了を検出して所定のステータスピットの設定解除を行なう構成の付記6又は7に記載のステータスピット設定回路。

【0114】

(付記9)

前記状態反転遷移部（21，22，23）は各々が所定の読出信号の立ち上がり及び立ち下がりエッジにて順次交互にその状態を反転する構成よりなる付記6乃至8の内の何れかに記載のステータスピット設定回路。

【0115】

(付記10)

更に所定の読出信号がアクティブの間にのみ所定のステータスピットの外部からの読出しを可能にするバスドライバ部（31）よりなる付記6乃至8の内の何れかに記載のステータスピット設定回路。

【0116】**【発明の効果】**

このように本発明によればフリップフロップ回路素子等の状態保持手段の双方向の反転動作の各々を有効利用し、その反転動作の伝播の過渡状態を検出して状態表示情報の設定を行なうと共に上記過渡状態から定常状態への移行を検出して状態検出信号のクリアを行なう構成としたため、確実な状態表示情報の設定と当該設定後の迅速な状態検出信号クリアのとを同時に可能とした。その結果比較的簡易な構成にて高い動作信頼性を達成し、更にASICを含めた様々なLSI技術に広く適応可能であり、又VHDLやVerilog HDL等のハードウェア設計記述言語による回路設計手法の導入に対してもなんら障害を含まない回路構成を提供する。

【図面の簡単な説明】**【図1】**

従来の一例のMSRのDCTSビット回路の構成を示す図である。

【図2】

図1の回路構成の動作を示すタイムチャートである。

【図3】

従来の他の例のMSRのDCTSビット回路の構成を示す図である。

【図4】

図3の回路構成の動作を示すタイムチャートである。

【図5】

図1の回路構成の設計条件を変えた場合の動作を示すタイムチャートである。

【図6】

図3の回路構成の設計条件を変えた場合の動作を示すタイムチャートである。

【図7】

図1、図3の回路構成中のワンショットパルス回路が発生するパルス幅を短縮するための構成例（その1）を示す図である。

【図8】

図1、図3の回路構成中のワンショットパルス回路が発生するパルス幅を短縮するための構成例（その2）を示す図である。

【図9】

図3の回路構成をエッジ検出による信号変化検出方式を適用するように変更した回路構成を示す図である。

【図10】

本発明の一実施例によるリードクリア式ステータスピット回路の構成を示す図である。

【図11】

図10の回路構成の動作例（その1）を示すタイムチャートである。

【図12】

図10の回路構成の動作例（その2）を示すタイムチャートである。

【図13】

図10に示す回路構成をMSRのDCTSビット設定回路に適用した場合の回路構成例を示す図である。

【図14】

図13の回路構成の動作例（その1）を示すタイムチャートである。

【図15】

図13の回路構成の動作例（その2）を示すタイムチャートである。

【符号の説明】

11, 12, 13 排他的論理和演算素子(状態反転手段、状態比較手段)

21, 22, 23 D-フリップフロップ回路素子(状態保持手段)

31 バスドライバ

41, 42 D-フリップフロップ回路素子

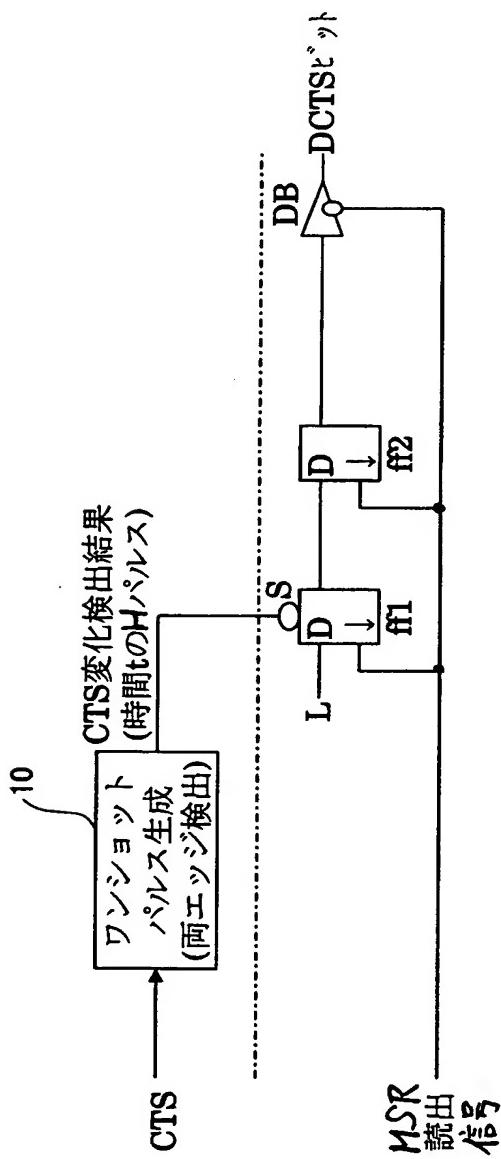
51 OR演算素子

100 リードクリア式ステータスビット回路 (MSRのDCTSビット設定回路)

【書類名】 図面

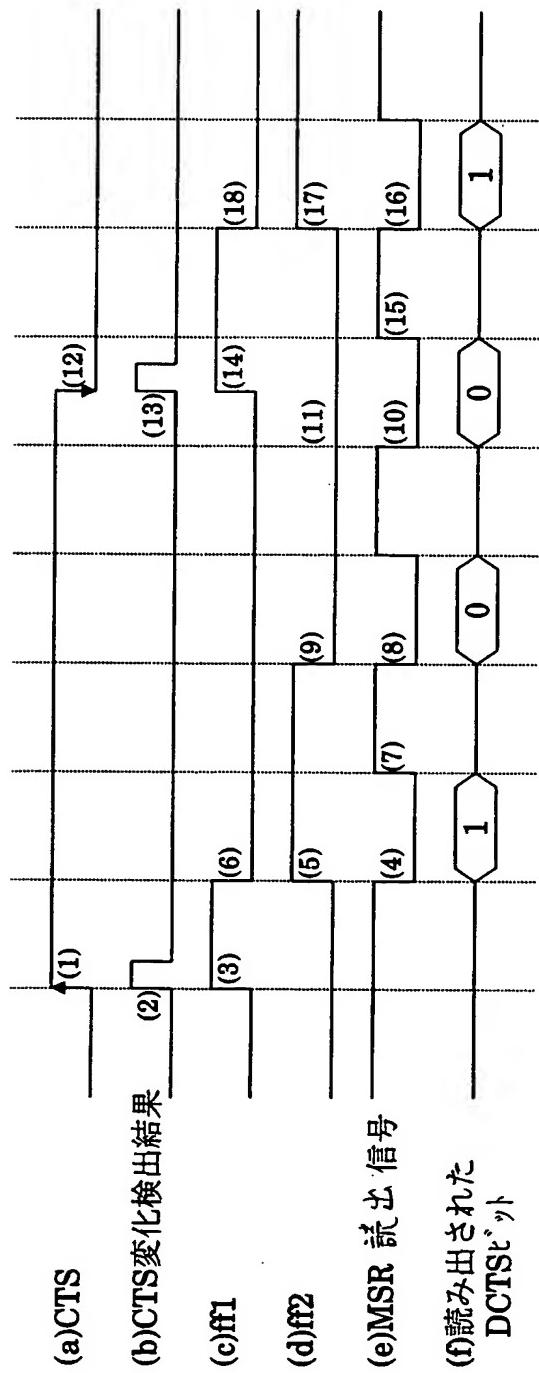
【図 1】

従来の一例のMSRのDCTSビット回路の構成を示す図



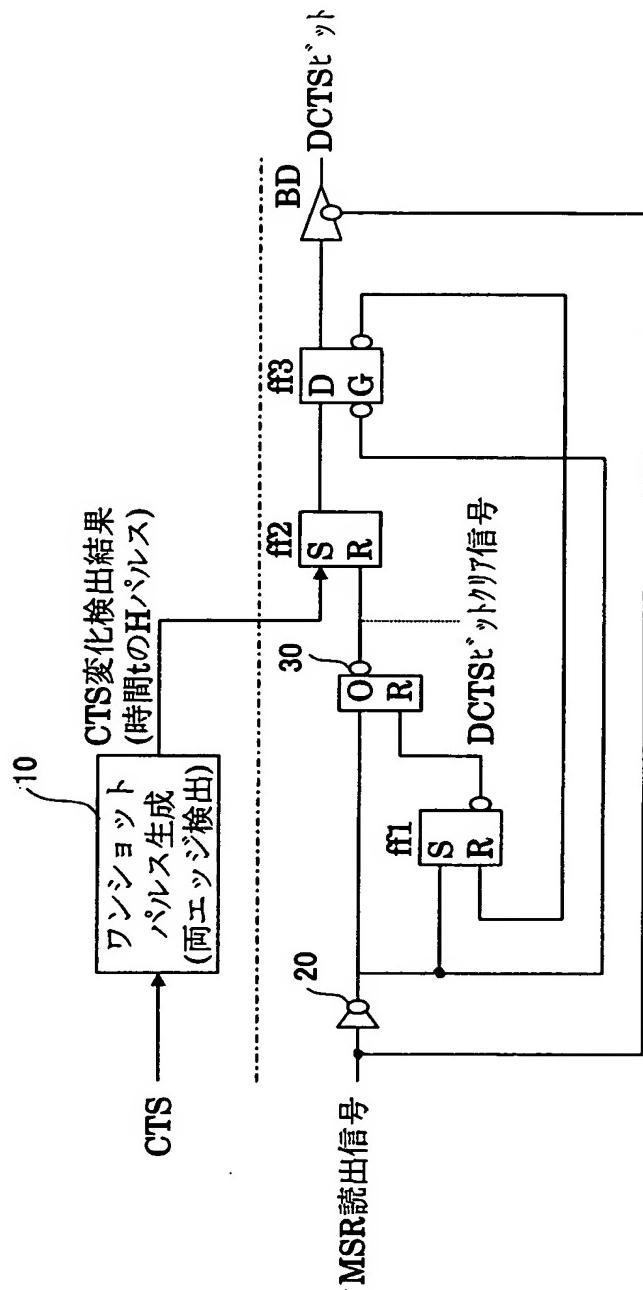
【図2】

図1の回路構成の動作を示すタイムチャート



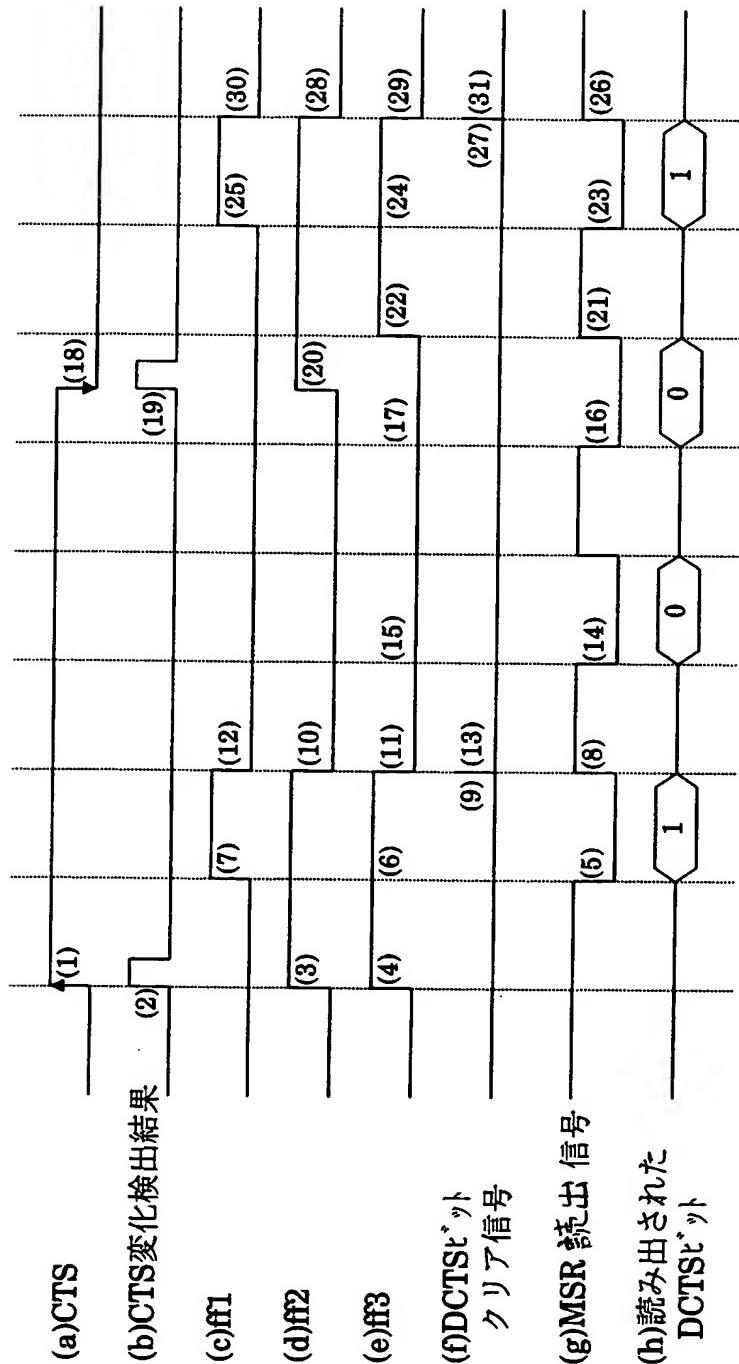
【図3】

従来の他の例のMSRのDCTSビット回路の構成を示す図



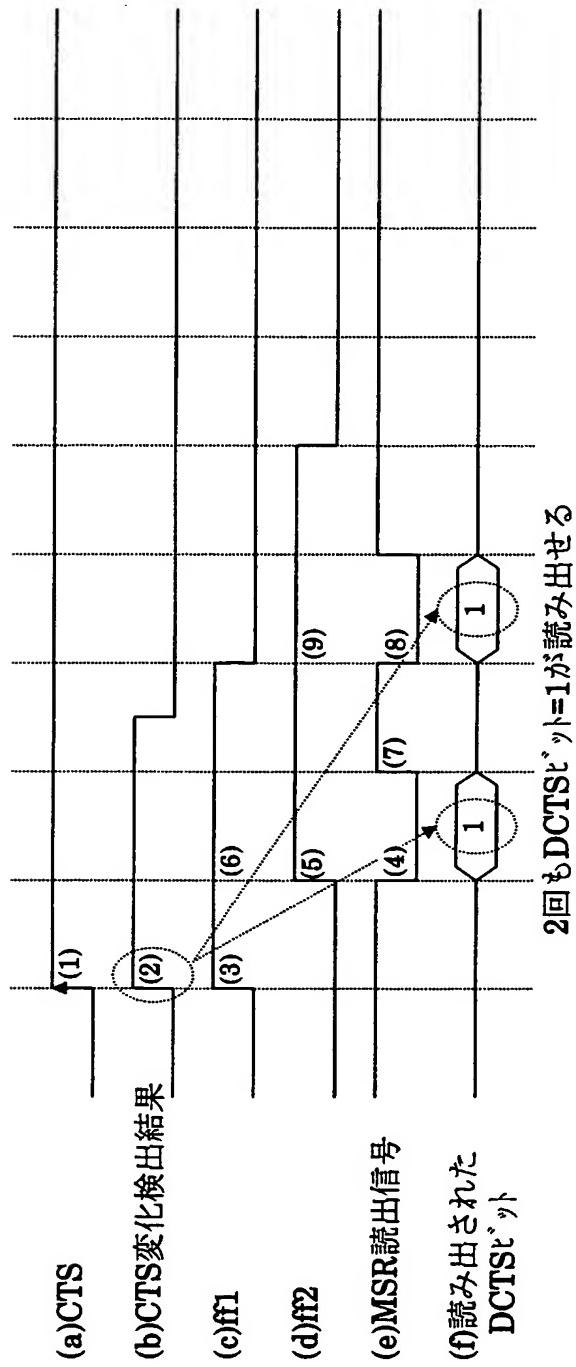
【図 4】

図3の回路構成の動作を示すタイムチャート



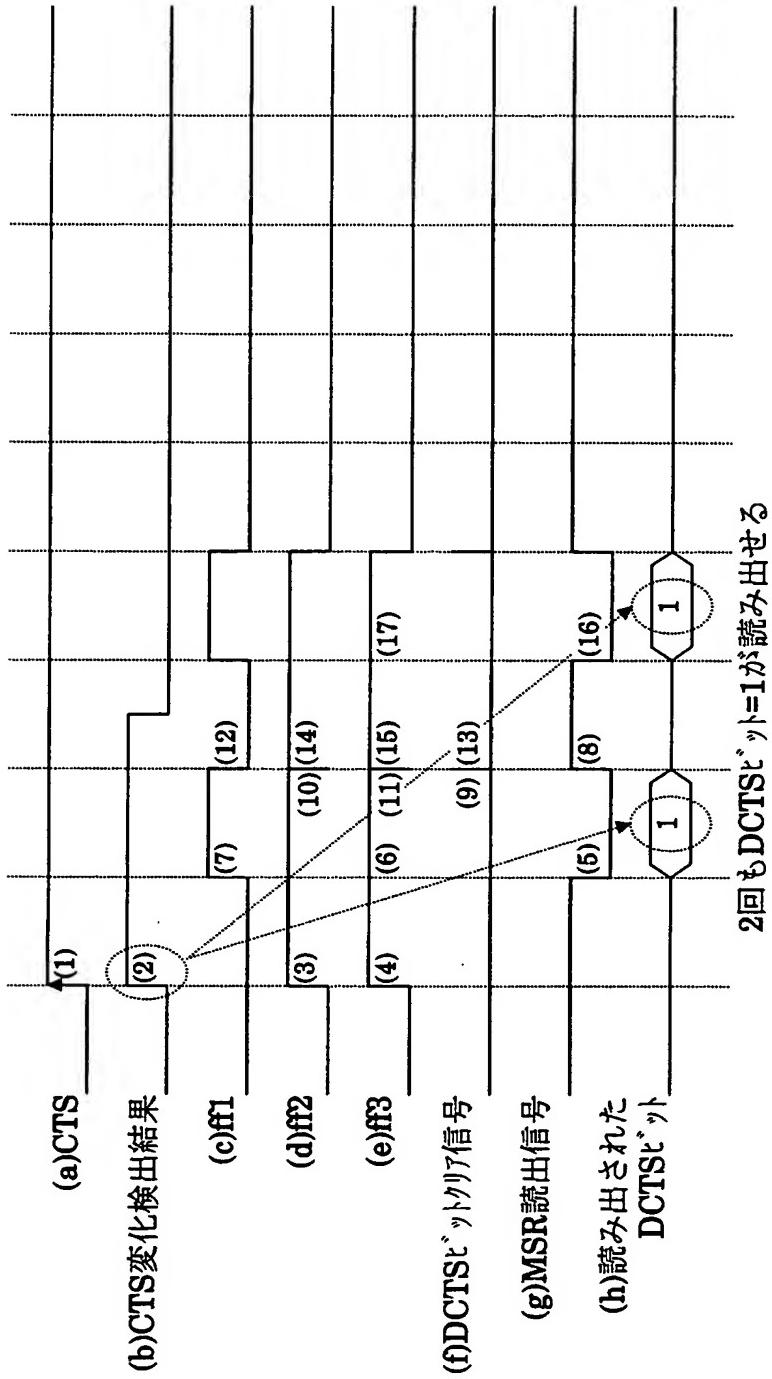
【図5】

図1の回路構成の設計条件を変えた場合の動作を示すタイムチャート



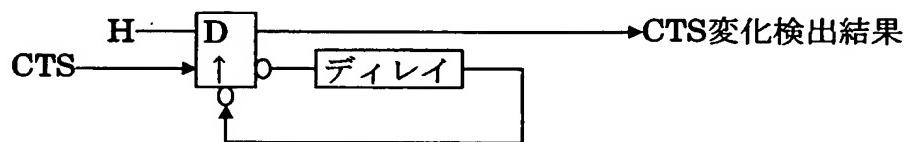
【図6】

図3の回路構成の設計条件を変えた場合の動作を示すタイムチャート



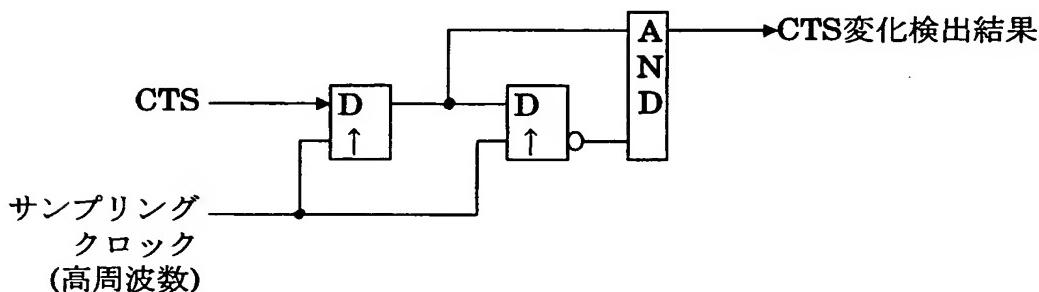
【図7】

図1、図3の回路構成中のワンショットパルス回路が発生する
パルス幅を短縮するための構成例(その1)を示す図



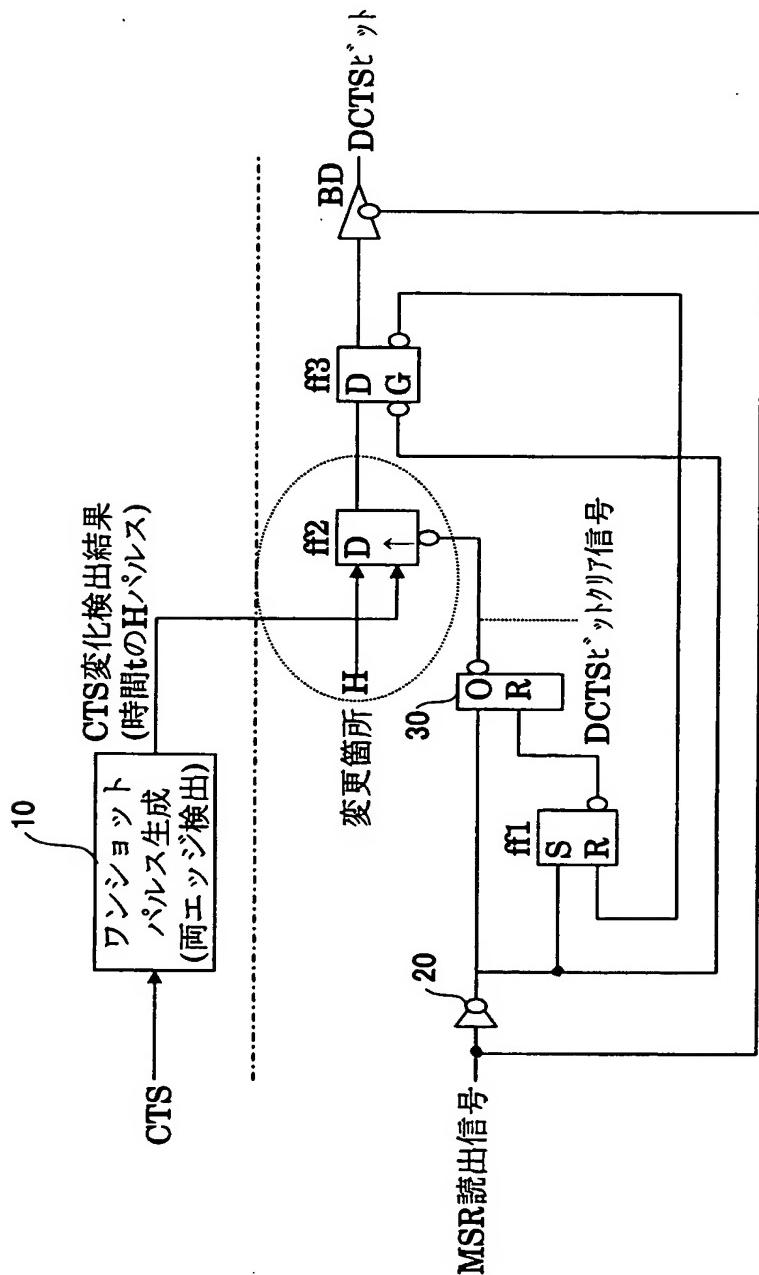
【図8】

図1、図3の回路構成中のワンショットパルス回路が発生する
パルス幅を短縮するための構成例(その2)を示す図



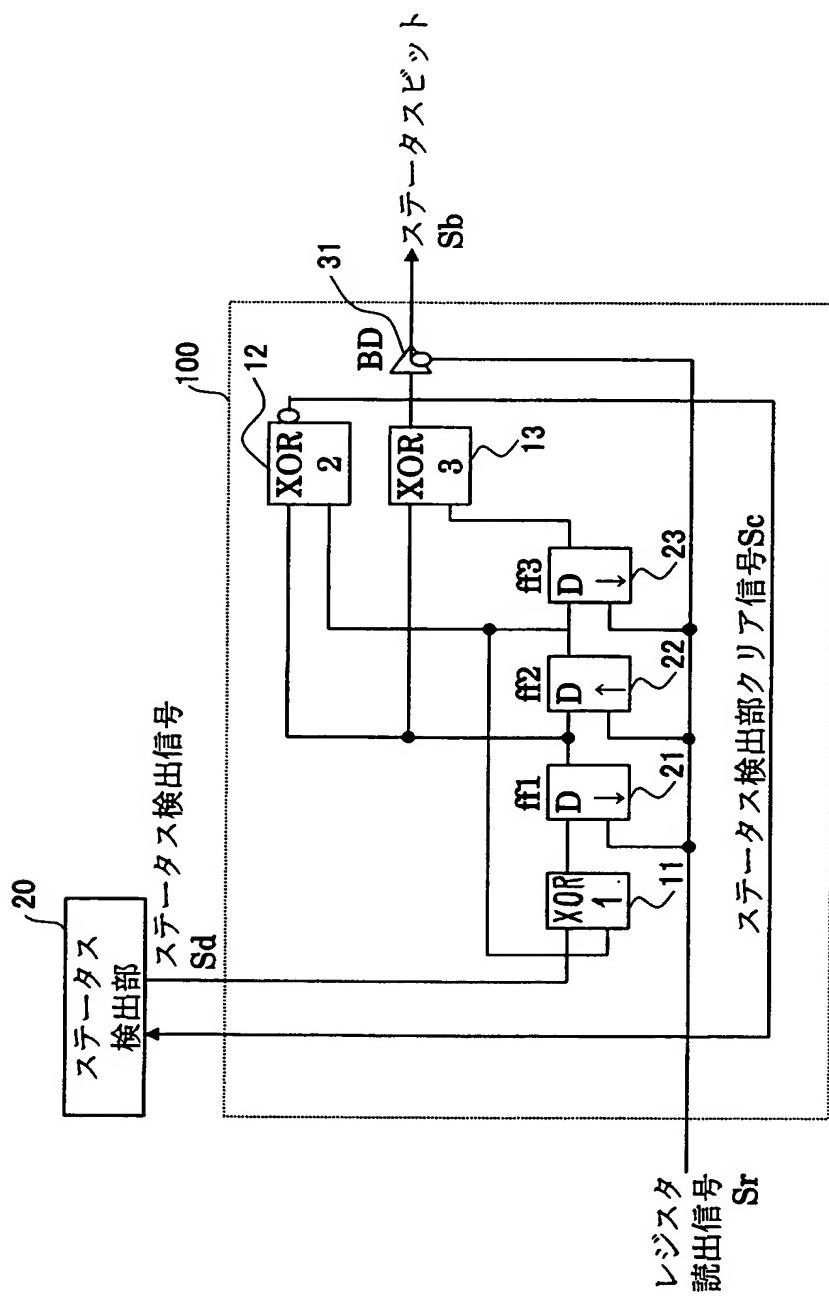
【図9】

図3の回路構成をエッジ検出による信号変化検出方式を
適用するように変更した回路構成を示す図



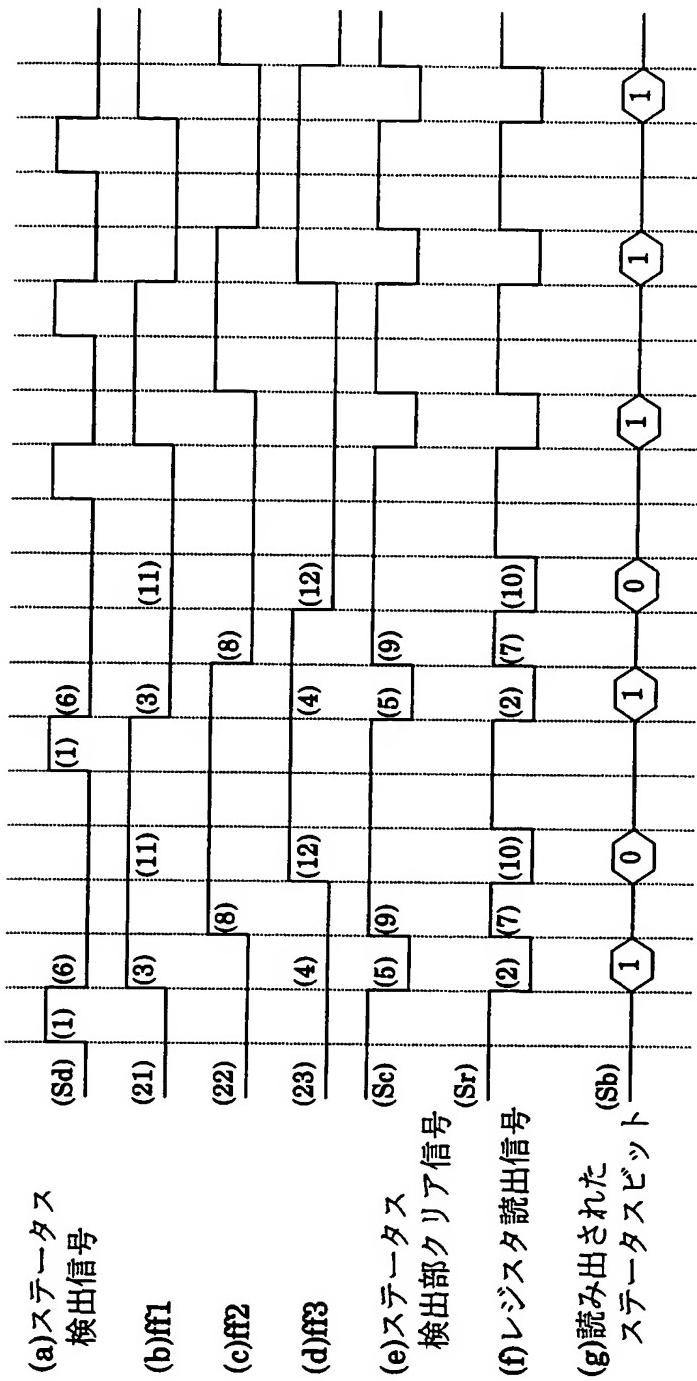
【図10】

本発明の一実施例によるリードクリア式ステータスビット回路の構成を示す図



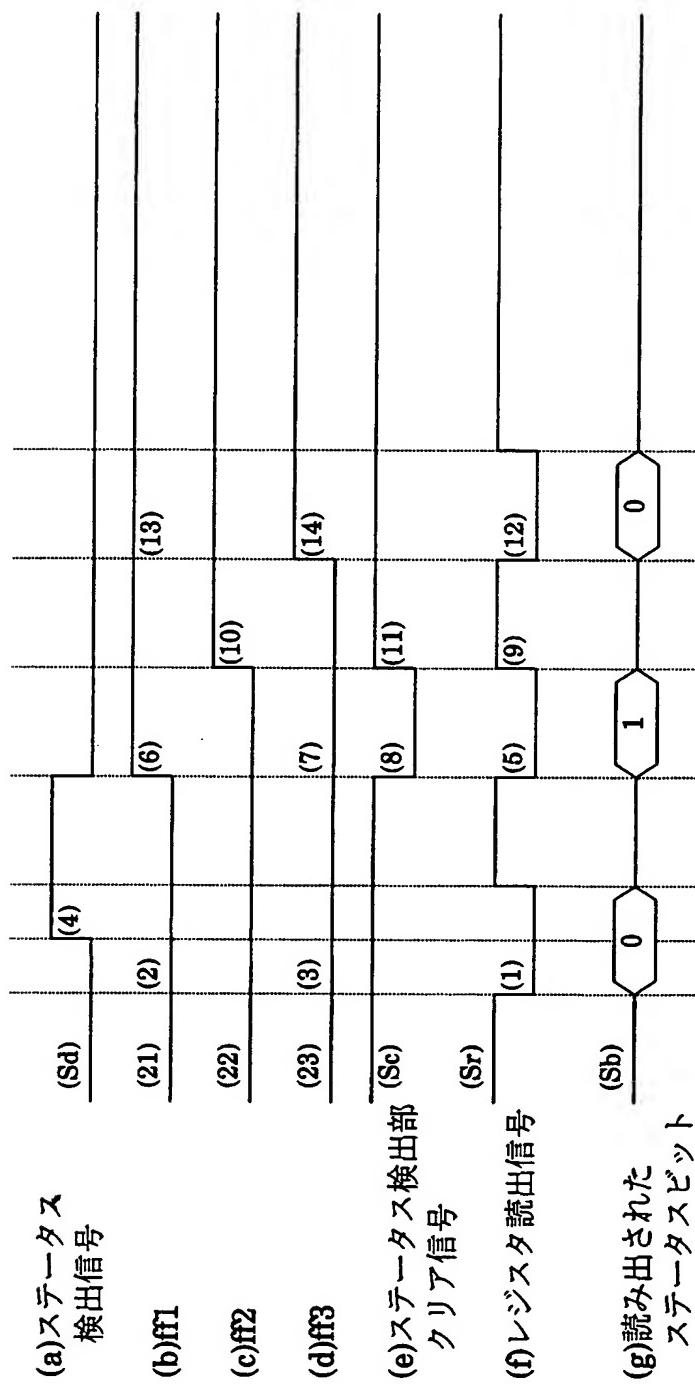
【図 11】

図10の回路構成の動作例(その1)を示すタイムチャート



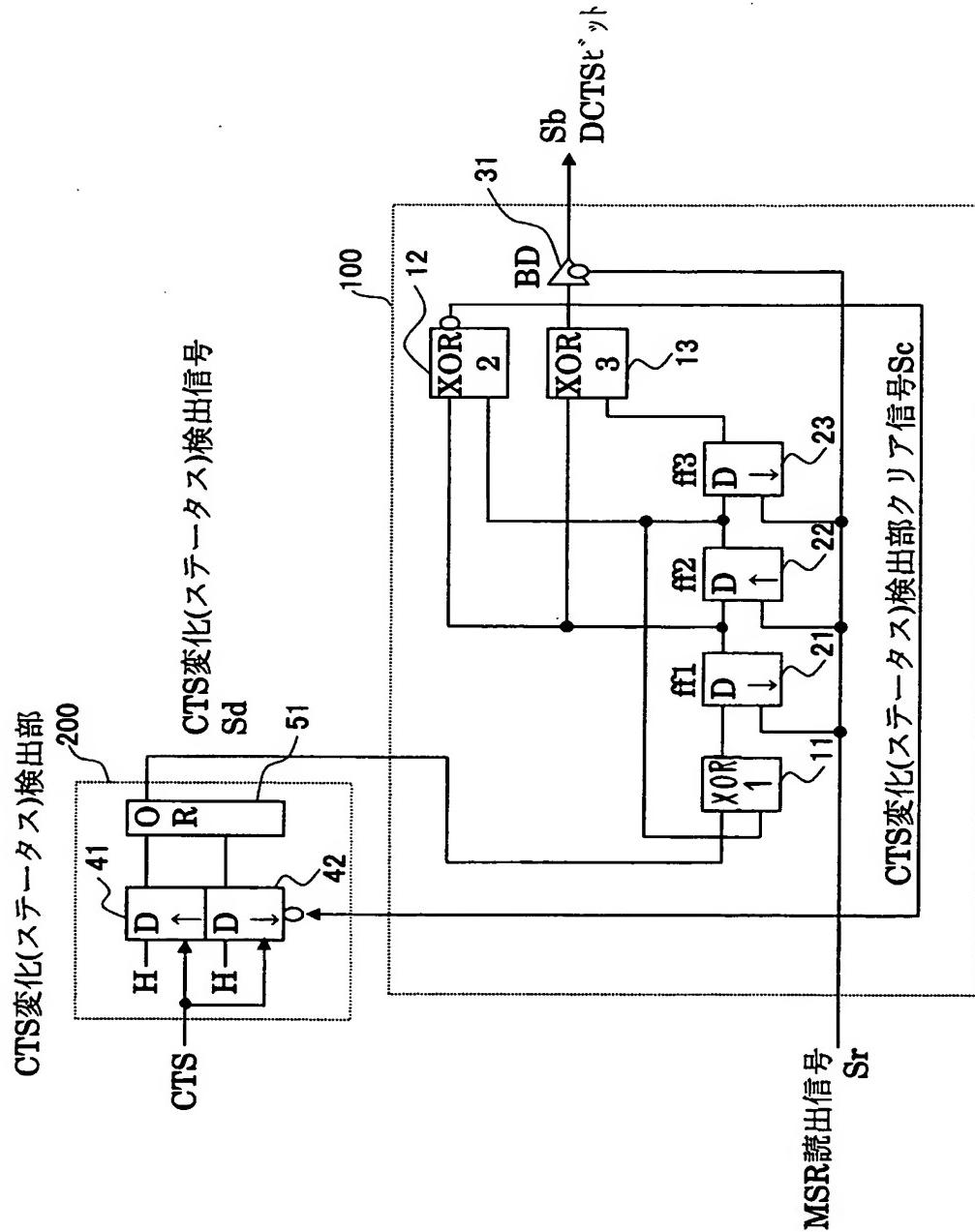
【図12】

図10の回路構成の動作例(その2)を示すタイムチャート



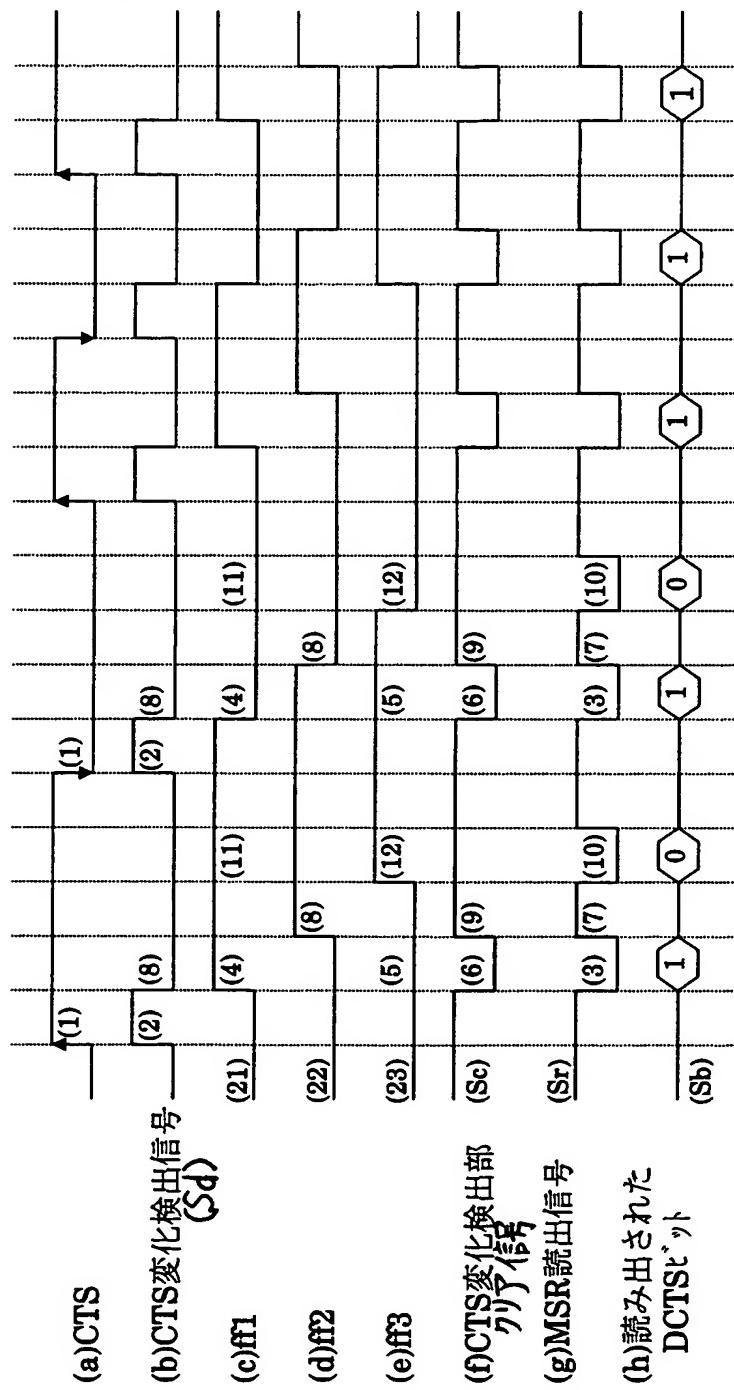
【図13】

図10に示す回路構成をMSRのDCTSビット設定回路に
適用した場合の回路構成例を示す図



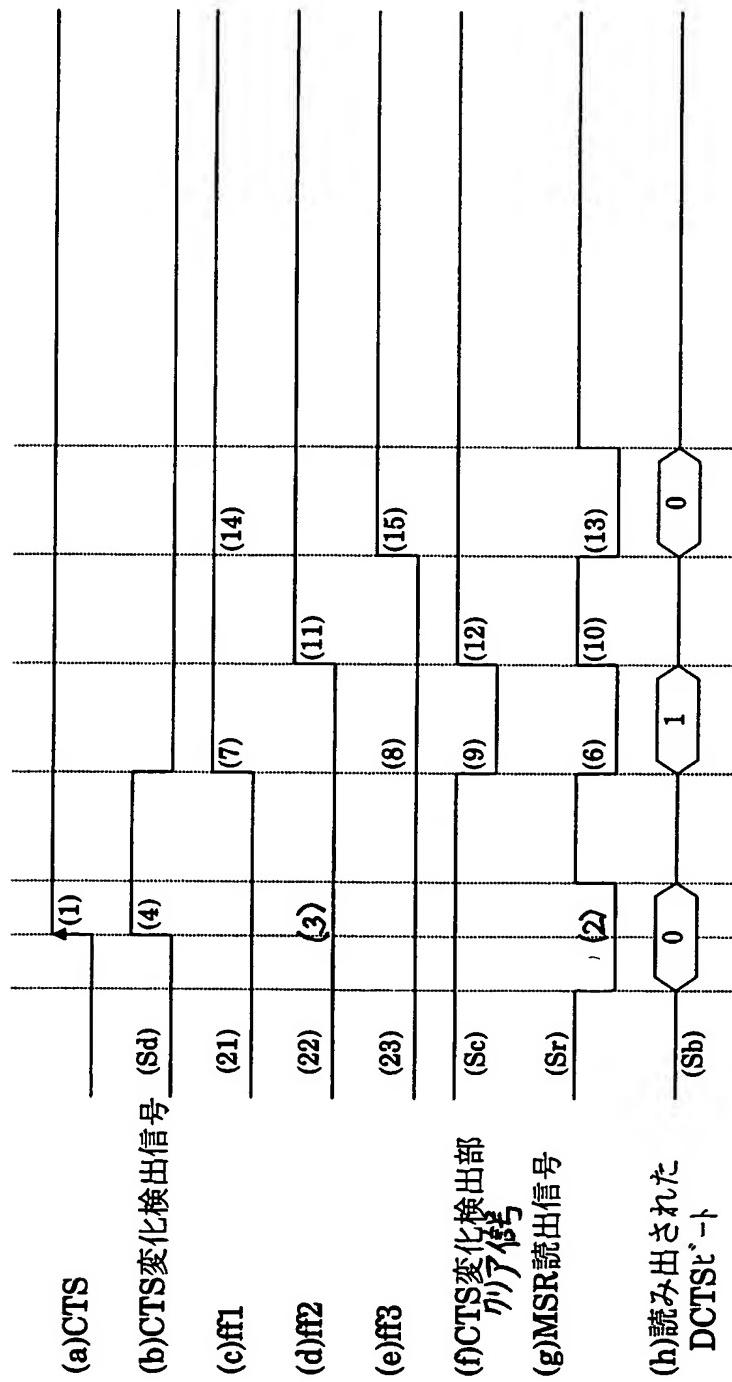
【図14】

図13の回路構成の動作例(その1)を示すタイムチャート



【図15】

図13の回路構成の動作例(その2)を示すタイムチャート



【書類名】要約書

【要約】

【課題】 M S R の D C T S ビット設定回路等において A S I C 等様々な L S I 仕様に対して容易に適用可能な有用な回路構成を提供することを目的とする。

【解決手段】 ステータスの検出毎に反転する出力を発生する排他的論理和回路 1 1 と、その出力によってその状態が順次反転するフリップフロップ回路 2 1 , 2 2 , 2 3 となり、その反転状態の伝搬の過程を検出してステータスピットの設定を行なう構成である。

【選択図】 図 1 0

特願2003-083473

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社